

DERWENT-ACC-NO: 2003-843042

DERWENT-WEEK: 200522

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Electronic component comprises semiconductor chip stack

and interconnects connecting to contact areas on chip active top side and to respective adjacent chips through contacts formed at sawn edge of chip

INVENTOR: GEBAUER, U; WENNEMUTH, I

**PATENT-ASSIGNEE: INFINEON TECHNOLOGIES AG[INFN] , GEBAUER U[GEBAI],
WENNEMUTH I[WENNI]**

PRIORITY-DATA: 2001DE-1001875 (January 16, 2001)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
US 6872594 B2	March 29, 2005	N/A	000	H01L 021/44
US 20020094607 A1	July 18, 2002	N/A	016	H01L 021/44
DE <u>10101875</u> A1	August 1, 2002	N/A	000	H01L 023/50
US 6686648 B2	February 3, 2004	N/A	000	H01L 029/40

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
US 6872594B2	Div ex	2002US-0047028	January 16, 2002
US 6872594B2	N/A	2003US-0663200	September 16, 2003
US 6872594B2	Div ex	US 6686648	N/A

US20020094607A1	N/A	2002US-0047028	January 16, 2002
DE 10101875A1	N/A	2001DE-1001875	January 16, 2001
US 6686648B2	N/A	2002US-0047028	January 16, 2002

INT-CL (IPC): G11C005/02, H01L021/44 , H01L021/48 , H01L021/50 , H01L021/60 , H01L023/50 , H01L023/538 , H01L025/065 , H01L029/40

RELATED-ACC-NO: 2004-373349

ABSTRACTED-PUB-NO: US20020094607A

BASIC-ABSTRACT:

NOVELTY - An electronic component comprises a stack of semiconductor chips each having an active top side and sawn edge contact areas and interconnects are formed on the active top side for rewiring to the contact areas of respective adjacent semiconductor chips. The interconnects are connected to the contact areas on the active top side and respective adjacent chips through contacts formed at the sawn edge of the chip.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is included for the production of an electronic component.

USE - Electronic component with stacked semiconductor chips.

ADVANTAGE - The semiconductor chips are stacked one on the other without having to arrange complicated lead frames in between and thus provides a compact design. The sawing ensures that the through contacts are arranged at the

**edge
of each chip and are thus easily accessible for connection to the
underlying
interconnects for rewiring.**

**DESCRIPTION OF DRAWING(S) - The figure shows a diagrammatic plan
view of the
semiconductor wafer with sawing track regions.**

CHOSEN-DRAWING: Dwg.6/11

**TITLE-TERMS: ELECTRONIC COMPONENT COMPRISE SEMICONDUCTOR
CHIP STACK**

**INTERCONNECT CONNECT CONTACT AREA CHIP ACTIVE TOP SIDE
RESPECTIVE**

ADJACENT CHIP THROUGH CONTACT FORMING SAW EDGE CHIP

DERWENT-CLASS: A85 L03 U11

CPI-CODES: A11-B05; A12-E07C; L04-E;

EPI-CODES: U11-D03C3B;

ENHANCED-POLYMER-INDEXING:

Polymer Index [1.1]

018 ; P1081*R F72 D01

Polymer Index [1.2]

**018 ; ND01 ; ND07 ; K9483*R ; K9416 ; Q9999 Q7330*R ; Q9999 Q7374*R
Q7330 ; Q9999 Q7476 Q7330 ; B9999 B3270 B3190 ; N9999 N7147 N7034
N7023**

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C2003-236823

Non-CPI Secondary Accession Numbers: N2003-673677



⑬ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 101 01 875 A 1**

⑤① Int. Cl.⁷:
H 01 L 23/50
H 01 L 25/065
H 01 L 23/538
H 01 L 21/60
G 11 C 5/02

⑳ Aktenzeichen: 101 01 875.4
㉔ Anmeldetag: 16. 1. 2001
㉕ Offenlegungstag: 1. 8. 2002

DE 101 01 875 A 1

㉑ Anmelder:
Infineon Technologies AG, 81669 München, DE

㉒ Vertreter:
Schweiger, M., Dipl.-Ing. Univ., Pat.-Anw., 80802
München

㉓ Erfinder:
Wennemuth, Ingo, 93055 Regensburg, DE;
Gebauer, Uta, 93053 Regensburg, DE

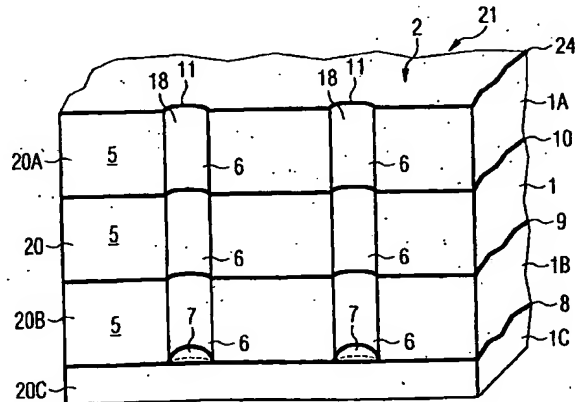
⑤⑤ Entgegenhaltungen:
US 58 80 011
US 56 88 721
US 55 17 057
US 54 81 133
US 51 26 286
JP 20 -002 52 411 A

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Elektronisches Bauteil mit aufeinander gestapelten Halbleiterchips

⑤⑦ Die Erfindung betrifft ein elektronisches Bauteil mit aufeinander gestapelten Halbleiterchips (1), die auf ihrer aktiven Oberseite Leiterbahnen zur Umverdrahtung zu Kontaktflächen aufweisen, wobei Durchkontakte (6) auf den gesägten Rändern (5) des Halbleiterchips (1) angeordnet sind, um die elektronischen Bauteile von darüber (1A) und darunter liegenden (1B) Halbleiterchips über Durchkontakte (6) miteinander zu verbinden.



DE 101 01 875 A 1

Beschreibung

[0001] Die Erfindung betrifft ein elektronisches Bauteil mit aufeinander gestapelten Halbleiterchips und ein Verfahren zu seiner Herstellung gemäß den unabhängigen Ansprüchen.

[0002] Das Stapeln elektronischer Bauteile zu größeren Hybrideinheiten erfolgt nach Vollenden jedes einzelnen Bauteils mit einem Halbleiterchip und einem Systemträger. Über die unterschiedlichen Systemträger werden die übereinander gestapelten fertigen Bauteile zu einem elektronischen Bauteil mit aufeinander gestapelten Halbleiterchips verbunden, in dem die äußeren Flachleiter der Systemträger über entsprechende Außenkontaktstifte miteinander verbunden werden. Derartig gebildete elektronische Bauteile aus gestapelten Einzelbauteilen haben den Nachteil, dass sie nicht in einer kompakten Bauweise darstellbar sind, zumal jeder Systemträger zwischen den Bauteilen einen großen Raumbedarf aufweist.

[0003] Aufgabe der Erfindung ist es, ein elektronisches Bauteil und ein Verfahren zu seiner Herstellung anzugeben, bei dem die Vorteile der Planartechnologie eingesetzt werden können und bei dem wesentlich kompaktere Strukturen für elektronische Bauteile aus gestapelten Einzelteilen erzielt werden können.

[0004] Diese Aufgabe wird mit dem Gegenstand der unabhängigen Ansprüche gelöst. Merkmale vorteilhafter Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

[0005] Erfindungsgemäß besteht das elektronische Bauteil aus aufeinander gestapelten Halbleiterchips, die auf ihrer aktiven Oberseite Kontaktflächen und Leiterbahnen zur Umverdrahtung zu Kontaktflächen darüber oder darunter liegender Halbleiterchips aufweisen. Dazu sind die Leiterbahnen zur Umverdrahtung auf der Oberseite des Halbleiterchips angeordnet und mit den Kontaktflächen verbunden. Die Leiterbahnen zur Umverdrahtung erstrecken sich von den Kontaktflächen auf der aktiven Oberseite der Halbleiterchips zu den Rändern des Halbleiterchips und sind mit darüber und darunter liegenden Halbleiterchips über Durchkontakte verbunden, die auf gesägten Rändern des Halbleiterchips angeordnet sind.

[0006] Ein derartiges elektronisches Bauteil hat den Vorteil, dass mehrere aufeinander gestapelte Halbleiterchips angeordnet werden können, ohne dass dazwischen aufwendige Systemträger anzuordnen sind. Vielmehr werden die Verbindungen zwischen übereinander gestapelten Halbleiterchips durch die auf gesägten Rändern des Halbleiterchips angeordneten Durchkontakte verwirklicht. Bei dieser Technologie wird der Vorteil der Planartechnologie voll eingesetzt, indem noch vor dem Trennen eines Wafers sämtliche Durchkontakte im Bereich der Sägespuren fertiggestellt werden können und erst beim Trennen des Wafers zu einzelnen Halbleiterchips Durchkontakte entstehen, die im Querschnitt kreissegmentförmig ausgestaltet sind. Durch das Aufsägen wird gewährleistet, dass die Durchkontakte am Rand eines jeden Chips angeordnet sind und somit zum Verbinden mit den darunter befindlichen Leitungsbahnen zur Umverdrahtung leicht zugänglich sind.

[0007] In einer Ausführungsform der Erfindung weist der unterste Halbleiterchip anstelle von Durchkontakten Lotdepots auf. Diese können in einer weiteren bevorzugten Ausführungsform der Erfindung Siebdruck-Lotdepots sein. Diese Lotdepots können bewirken, dass beim Aufsetzen des nächstfolgenden Halbleiterchips und einer Erwärmung auf Löttemperatur die Lotschmelze aufgrund kapillarer Wirkung in den am Rand darüberliegenden Halbleiterchips angeordneten Durchkontaktlöchern aufsteigt. Dazu weisen die

Durchkontaktlöcher einerseits eine Haftvermittlerschicht auf und andererseits eine lötbare Beschichtung, vorzugsweise aus Kupfer, Silber, Gold oder Legierungen derselben. Diese Metalle zeichnen sich dadurch aus, dass sie gut benetzbar sind und folglich eine hohe Kapillarwirkung für die Durchkontakte zeigen.

[0008] Zwischen den gestapelten Halbleiterchips ist in einer weiteren Ausführungsform der Erfindung jeweils eine Umverdrahtungsebene angeordnet. Diese Umverdrahtungsebenen entsprechen in keiner Weise einem Systemträger eines elektronischen Bauteils mit Halbleiterchips. Die Umverdrahtungsebene wird lediglich aus den Leiterbahnen zur Umverdrahtung gebildet, die in einer weiteren Ausführungsform der Erfindung auf einer Isolierschicht auf der aktiven Halbleiteroberseite angeordnet sind. Diese Isolierschicht ist derart strukturiert, dass die Kontaktflächen zum Zugang zu den elektronischen Schaltungen des Halbleiterchips freigelegt bleiben und die Leiterbahnen ungehindert mit relativ preiswerten Mitteln zur Umverdrahtung aufgebracht werden können. Dazu gehört auch das Siebdrucken von derartigen Leiterbahnen auf der Isolierschicht.

[0009] Die Durchkontakte selbst weisen in einer weiteren Ausführungsform der Erfindung auf ihrer Innenwand eine Haftvermittlerschicht auf, die vorzugsweise aus Titan und/oder einer Titanlegierung aufgebaut sein kann. Diese Haftvermittlerschicht soll den Übergang von dem Halbleitermaterial zu dem Lötmaterial erleichtern und gleichzeitig dafür sorgen, dass eine lötbare Oberflächenbeschichtung auf der Innenwandung des Durchgangsloches möglich wird. Eine derartige Innenbeschichtung kann wie oben erwähnt wiederum aus Kupfer, Silber oder Gold gebildet sein, um die Benetzung mit einem Lotmaterial zu verbessern.

[0010] Die Isolierschicht, die zwischen der Halbleiterchipoberfläche und den Leiterbahnen zur Umverdrahtung angebracht wird, ist vorzugsweise ein Polymer, insbesondere eine Polyimidschicht.

[0011] Da die Durchkontakte die Beschichtung der Innenwandung der Durchkontakte und das Anbringen der Leiterbahnen zur Umverdrahtung auf einem Waferniveau, d. h. für viele Halbleiterchips gleichzeitig, durchgeführt werden kann, hat dieses elektronische Bauteil den Vorteil, dass es mit Hilfe der Planartechnik überwiegend herstellbar wird. Durchkontakte auf den gesägten Rändern des Halbleiterchips entstehen, wenn dafür gesorgt wird, dass die Durchkontakte bereits in den Sägespuren des Wafers vorhanden sind, bevor ein Sägeblatt, dessen Dicke kleiner ist als der Durchmesser der Durchkontakte die Chips an ihren Rändern vereinzelt. Bei dem Vereinzeln entstehen aus den zylindrischen Durchkontakten Durchkontakte, die im Querschnitt Kreissegmente aufweisen. Werden in den Halbleiterwafer rechteckige oder dreieckige Durchkontakte eingearbeitet, so entstehen nach dem Sägen säulenförmige Strukturen, die jeweils nur einen Teil des Querschnitts der ursprünglich eingebrachten viereckigen und dreieckigen Säulen aufweisen, da der Mittenbereich jeder Säule durch den Trennvorgang herausgesägt ist.

[0012] In einer weiteren Ausführungsform der Erfindung weisen die Halbleiterchips Speicherchips auf. Insbesondere bei Speicherchips besteht der Bedarf, möglichst eine hohe Volumendichte an Speicherplätzen zu realisieren, was durch die erfindungsgemäße Vorrichtung nun möglich ist, da sämtliche Systemträger entfallen und keinerlei Gehäusestrukturen das Volumen des elektronischen Bauteils mit gestapelten Halbleiterchips vergrößern.

[0013] Mit der erfindungsgemäßen Vorrichtung ist es demnach möglich, äußerst kompakte elektronische Bauteile zu realisieren, wobei durch Dünnschleifen der Halbleiterchips ein weiterer Verdichtungseffekt erzielt werden kann.

Dazu werden Dünnschleiftechnologien angewandt, welche die Ausgangsdicke eines Halbleiterwafers von ungefähr 500 bis 800 µm um mindestens eine Größenordnung auf 50 bis 80 µm verringern, so dass aus einem Halbleiterwafer einer Dicke von mehreren 100 µm ein Halbleiterwafer von mehreren 10 µm wird. Wenn Halbleiterchips aus derartigen dünn- geschliffenen Wafern für das erfindungsgemäße elektronische Bauteil eingesetzt werden, so erhöht sich die Raumdichte der Speicherfunktion um mindestens eine Größenordnung.

[0014] Ein Verfahren zur Herstellung eines elektronischen Bauteils, das aufeinander gestapelte Halbleiterchips aufweist, die über Umverdrahtungsebenen und Durchkontakte verbunden sind, welche auf gesägten Rändern des Halbleiterchips angeordnet sind, weist folgende Verfahrensschritte auf:

- Bereitstellen eines Halbleiterwafers mit in Zeilen und Spalten angeordneten Halbleiterchips und dazwischen vorgesehenen Sägespurbereichen,
- Aufbringen einer Isolierschicht zum Schutz und zur Isolation der aktiven Oberseite des Halbleiterchips,
- Einbringen von Durchkontaktlöchern in den Sägespurbereichen, deren Durchmesser größer ist als die Dicke des Sägeblattes zum Trennen und Vereinzelns des Halbleiterwafers,
- Beschichten der Innenwandung der Durchkontaktlöcher mit einem Haftvermittler und/oder einer lötbaren Oberflächenbeschichtung,
- Auffüllen der Durchkontaktlöcher mit Lotmaterial zu Durchkontakten,
- Strukturieren der Isolierschicht unter Freilegen von Kontaktflächen auf der aktiven Oberseite des Halbleiterchips und Aufbringen von Leiterbahnen zur Umverdrahtung auf der Isolierschicht, wobei die Leiterbahnen zur Umverdrahtung einzelne Kontaktanschlussflächen mit den Durchkontakten verbinden,
- Vereinzelns des Halbleiterwafers zu Halbleiterchips,
- Stapeln von mehreren Halbleiterchips zu einem elektronischen Bauteil.

[0015] Dieses Verfahren hat den Vorteil, dass die überwiegende Anzahl der Verfahrensschritte auf dem Halbleiterwafer selbst durchgeführt werden und somit die Verfahrensschritte gleichzeitig für viele Halbleiterchips realisiert werden. Im Prinzip wird damit erreicht, dass jeder Halbleiterchip an seinem gesägten Rand mit entsprechenden Durchkontakten versehen ist und auf seiner aktiven Oberseite eine Umverdrahtungsebene mit Umverdrahtungsleitungen von den Kontaktflächen zu den Durchkontakten aufweist.

[0016] Nach einem Trennen in einzelne Halbleiterchips mit derartigen Randstrukturen und Oberflächenstrukturen können die einzelnen Halbleiterchips aufeinander gestapelt werden und in einem einfachen Temperprozess, bei dem die Löttemperatur erreicht wird, miteinander im gestapelten Zustand verbunden werden.

[0017] In einer bevorzugten Ausführungsform der Erfindung werden die Leiterbahnen zur Umverdrahtung mittels Siebdruck auf die strukturierte Isolierschicht aufgebracht. Da die Leiterbahnen für die Umverdrahtung nicht mehr mikroskopisch klein auszubilden sind, wie die Verbindungsleiterbahnen innerhalb der integrierten Schaltungsstrukturen, ist ein Siebdruckverfahren für eine preiswerte Massenproduktion möglich. Dieses Siebdruckverfahren kann auf der gesamten Waferoberfläche angewandt werden, d. h. als weiterer planarer Technologieschritt und nicht für jedes vereinzelte Halbleiterchip. Ferner kann für die untersten Halbleiterchips eines Stapels ein Wafer vorbereitet werden, der

keine Durchkontakte aufweist, sondern an den entsprechenden Stellen Lötdepots vorsieht. Diese Lötdepots haben dann die Aufgabe, beim Aufheizen des Stapels auf eine Löttemperatur in den Durchkontaktöffnungen über Kapillarkräfte bis zum obersten Halbleiterchip aufzusteigen, falls die Durchkontakte bis zum obersten Halbleiterchip durchgehend vorgesehen sind. Für Verbindungen, die nicht bis hinunter zum Basischip gehen sollen, wird die Durchkontaktöffnung bereits auf dem Waferlevel mit Lötmaterial gefüllt. Aber auch dieses Füllen kann mit Siebdruck erfolgen.

[0018] Eine weitere Durchführung des Verfahrens sieht vor, dass das Lötmaterial galvanisch abgeschieden wird.

[0019] Um ein Benetzen der Durchkontaktöffnungen mit Lötmaterial zu gewährleisten, wird bei einem weiteren Durchführungsbeispiel des Verfahrens zunächst ein Haftvermittler vorzugsweise aus Titan oder einer Titanlegierung auf die Innenwandung der Durchkontakte aufgebracht und anschließend werden Oberflächenschichten aus Kupfer, Silber oder Gold oder deren Legierungen aufgebracht.

[0020] Dieses Aufbringen kann mit Hilfe der Sputtertechnik, oder einer CVD-Abscheidung (Abscheidung aus der Gasphase) erfolgen.

[0021] Das Einbringen von Durchkontaktlöchern in den Wafer im Bereich der Sägespuren kann durch reaktives Ionenätzen, Laserverdampfen und/oder durch elektrolytisches Ätzen mit Hilfe von Kanülen erfolgen. Die kleinsten Durchkontaktlöcher sind durch reaktives Ionenätzen erreichbar, bei dem Ionen geradlinig beschleunigt werden und in orthogonaler Richtung auf die Halbleiteroberfläche auftreffen, so dass nahezu senkrechte gleichmäßige Durchgangsbohrungen hergestellt werden können. Für größere Durchmesser eignet sich das Laserverdampfen, bei dem ein fokussierter Laserstrahl das Halbleitermaterial verdampft und dadurch ein Durchgangsloch erzeugen kann. Größere Durchmesser werden mit der elektrolytischen Ätzung unter Zuhilfenahme einer Kanüle erreicht, bei dem innerhalb der Kanüle ein an Anodenpotential liegender Metalldraht von wenigen Mikrometern Durchmesser angeordnet ist und ein ständiger Elektrolytstrom das auf Kathodenpotential liegende Wafermaterial abträgt.

[0022] Die Größenordnungen dieser Durchgangsbohrungen sind beim reaktiven Ionenätzen zwischen 10 und 50 µm, beim Laserätzen zwischen 100 und 250 µm und beim elektrolytischen Ätzen zwischen 150 und 250 µm. Das Strukturieren der Isolierschicht unter Freilegung von Kontaktflächen auf der aktiven Oberseite des Halbleiterchips kann durch ein Photolithographieverfahren erreicht werden oder durch Lasersputtern oder Laserverdampfen der Isolierschicht zur Freilegung der Kontaktflächen auf der aktiven Oberseite des Halbleiterchips.

[0023] Das Aufbringen der Leiterbahn kann in einem weiteren Durchführungsbeispiel des Verfahrens mittels Siebdruck auf die strukturierte Isolierschicht erfolgen. Da sowohl die Kontaktflächen als auch die Leiterbahnen zur Umverdrahtung relativ breit gestaltbar sind und nicht mehr mikroskopisch klein, so dass sie nur über ein Lichtmikroskop meßbar sind, können die Leiterbahnen zur Umverdrahtung mit einem preiswerten Siebdruckverfahren unmittelbar auf dem Wafer realisiert werden.

[0024] In einem besonderen Durchführungsbeispiel des Verfahrens werden noch vor dem Vereinzelns mehrere Halbleiterwafer aufeinander gestapelt und ein Verbinden der Durchkontakte mit den Leiterbahnen der Umverdrahtung darüberliegender oder darunterliegender Halbleiterwafer durch eine thermische Behandlung erzielt. Erst nachdem die Halbleiterwafer somit dicht gepackt aufeinandergebracht wurden, werden sie dann zu gestapelten Halbleiterchips vereinzelte. Mit diesem Verfahren wird praktisch die Planartechnologie

nologie noch für das Stapeln der Halbleiterchips eingesetzt. Erst nachdem gestapelte Halbleiterwafer vorliegen, wird der Sägeschnitt durchgeführt und ergibt automatisch gestapelte und untereinander verbundene Halbleiterchips mit einer hohen Volumen- und Schaltfunktionsdichte.

[0025] Das Verbinden der Durchkontakte mit den Leiterbahnen darüber oder darunter liegender Halbleiterwafer der aufeinander gestapelten Halbleiterwafer kann durch Erwärmen des Stapels von Halbleiterwafern auf Löttemperatur erreicht werden.

[0026] Bei einem alternativen Verfahren werden Halbleiterwafer von der Rückseite unmittelbar unter den Kontaktflächen geätzt und anschließend werden diese Ätzstrukturen metallisiert. Mit einem derartigen Verfahren lassen sich jedoch keine engen Schrittweiten zwischen den Durchkontaktlöchern erzielen, da aufgrund der Kristallrichtung des Halbleiters insbesondere des Siliziums immer Pyramidenformen mit einem Flankenwinkel von ca. 54° beim Ätzen ausgebildet werden, wodurch die Öffnung auf der Rückseite des Wafers deutlich größer ist als auf der Vorderseite. Dies ist insbesondere, bei ungedünnten Wafers in einer Dicke von ca. 500 bis 800 µm ein erhebliches Problem, da die Ätzöffnungen auf der Rückseite 500 µm und mehr erreichen können und somit die Schrittweite der Kontaktanschlussflächen auf der Vorderseite, die normalerweise bei ca. 200 µm liegt, voll überschritten wird. Zudem schränken derartige Ätzungen den aktiven Bereich der Oberseite des Halbleiterchips enorm ein, so dass die nutzbare Fläche auf der aktiven Oberseite stark eingeschränkt wird.

[0027] Die Computer- und Softwareindustrie verlangt nach Speicher und Speichermodulen in immer größerer Speicherkapazität. Da normalerweise auch die zur Verfügung stehende Fläche begrenzt ist, wird mit der vorliegenden Erfindung vorgeschlagen, mehrere Wafer aufeinander zu stapeln. Gestapelte Halbleiterwafer bieten bei einem verhältnismäßig geringen Platzbedarf ein Maximum an Speicherkapazität.

[0028] Der Halbleiterwaferstapel besteht in einer Ausführungsform der Erfindung aus einem Basiswafer ohne Durchkontaktlöcher, aber mit entsprechenden Lotdepots und einer Anzahl n zusätzlicher Wafer, die als Stapelwafer mit Kontaktlöchern versehen worden sind.

[0029] Da der Sägespurbereich zwischen einzelnen Halbleiterchips auf einem Halbleiterwafer zwischen 70 und 120 µm Breite aufweist, wird eine solche Sägespur in vorteilhafter Weise bei der Chipherstellung für Funktionstests benutzt. Jedoch wird die Sägespur nach Fertigstellung der Chips bisher keiner weiteren Nutzung zugeführt. Deshalb sieht die vorliegende Erfindung vor im Bereich der Sägespur der Stapelwafer Durchkontaktlöcher einzubringen, über die dann ein vertikaler Kontakt erfolgen kann. Somit läßt sich ein elektronisches Bauteil aus gestapelten Halbleiterchips durch vier Arbeitsschritte herstellen:

1. Anfertigen der Kontaktlöcher in dem Sägespurbereich der Stapelwafer. Die Durchkontaktlöcher können dabei trocken geätzt werden, beispielsweise von der Vorder- zur Rückseite, oder durch Laserbohren oder durch ein elektrolytisches Verfahren erzeugt werden. Der Durchmesser der Löcher kann bis zur Breite der Sägespurbereiche reichen, d. h. zwischen 40 und 120 µm. Nach dem Erzeugen der Durchkontaktlöcher müssen die Löcher elektrisch leitend metallisiert werden. Diese Metallisierung kann aus mehreren Schichten, im wesentlichen aber aus einer Haft- und einer Leitschicht, bestehen. Die Leitschicht muss von einem Weichlot gut benetzbar sein. Das Schichtsystem kann entweder durch Aufdampfen oder durch eine chemi-

sche Gasphasenabscheidung oder durch eine physikalische Gasphasenabscheidung oder auch galvanisch erfolgen.

2. Die Wafer werden danach mit einer Umverdrahtung versehen. Das heißt, die elektrischen Kontakte werden von der Mitte (oder bei Kontaktanschlussflächen an den Aussenkontakten von diesen, in jedem Fall aber von den Kontaktflächen zu den Durchkontaktflächen) belegt. Zusätzlich erhält der Basiswafer für die Umverdrahtung Lotdepots an den Stellen, die später den Kontaktanschlussflächen des darüber liegenden Wafers entsprechen.

3. Die Wafer können dann mit einer doppelseitig klebenden Folie versehen werden, welche entweder ebenfalls metallisierte Kontaktlöcher aufweist, oder die Wafer können mit einem Kleber aufeinander geklebt werden, wobei darauf zu achten ist, dass die Kontaktlöcher nicht verschlossen werden. Gegebenenfalls muss in einem zusätzlichen Schritt das Durchkontaktloch wieder geöffnet und nachmetallisiert werden. Die Halbleiterwafer werden somit aufeinandergeklebt. Der Kleber muss dazu genügend temperaturstabil sein, um die anschließenden Löttemperaturen zu überstehen. Als Kleber kann ein Kleber auf Polyimidbasis eingesetzt werden. Weitere Möglichkeiten die Wafer miteinander zu verbinden bestehen im eutektischen oder auch im Legierungsbonden. Dazu werden entsprechende Metallflächen auf den Wafers vorgesehen, die Materialkomponenten aufweisen, die miteinander eutektische niedrigschmelzende Legierungen bilden.

4. Die Wafer werden anschließend in einem Ofen so weit erwärmt, dass das Lot durch die Durchkontaktlöcher nach oben mittels Kapillarwirkung steigt und somit die Durchkontakte miteinander verbindet.

[0030] Mit einem derartigen Verfahren werden die folgenden Vorteile erzielt:

1. Es wird eine extrem hohe Speicherdichte erreicht.
2. Es muss keine Chipfläche für zusätzliche Durchgangskontakte freigehalten werden.
3. Es können verhältnismäßig ungenaue Verfahren, z. B. Galvanik, Lotpastendruck, und somit kostengünstige Verfahren, eingesetzt werden.
4. Die Wafer können, müssen aber nicht dünn geschliffen werden, so dass eine Einsparung von Handling und Prozessschritten möglich ist.
5. Für dieses Verfahren können Standardwafer, d. h. Wafer ohne spezielle Vorbehandlung, verwendet werden.
6. Die Anzahl der Stapelwafer ist nicht limitiert und kann beliebig erhöht werden.

[0031] Die Erfindung wird nun anhand von Ausführungsformen mit Bezug auf die beiliegenden Figuren näher erläutert.

[0032] Fig. 1 zeigt eine schematische Draufsicht auf einen Ausschnitt eines Randbereichs eines Halbleiterchips einer ersten Ausführungsform der Erfindung.

[0033] Fig. 2 zeigt eine schematische, perspektivische Ansicht von mehreren gestapelten Halbleiterchips einer zweiten Ausführungsform der Erfindung.

[0034] Fig. 3 zeigt eine schematische, perspektivische Ansicht von mehreren gestapelten Halbleiterchips einer dritten Ausführungsform der Erfindung.

[0035] Fig. 4 zeigt eine schematische Draufsicht auf einen Oberflächenausschnitt eines Halbleiterwafers für unterste Halbleiterchips gestapelter Halbleiterwafer einer vierten

Ausführungsform der Erfindung.

[0036] Fig. 5 zeigt eine schematische Draufsicht auf einen Oberflächenausschnitt eines Halbleiterwafers für gestapelte Halbleiterchips der vierten Ausführungsform der Erfindung.

[0037] Fig. 6 zeigt eine schematische Draufsicht auf einen Halbleiterwafer mit Sägespurbereichen.

[0038] Fig. 7 zeigt eine schematische Draufsicht auf einen Halbleiterchipbereich eines Halbleiterwafers mit den Halbleiterchipbereich umgebenden Sägespurbereichen.

[0039] Fig. 8 zeigt eine schematische Draufsicht auf einen Halbleiterchipbereich eines Halbleiterwafers mit eingebrachten Durchkontakten im Sägespurbereich des Halbleiterwafers.

[0040] Fig. 9 zeigt eine schematische Draufsicht auf einen Halbleiterchipbereich eines Halbleiterwafers mit Kontaktflächen, Leiterbahnen für einen Umverdrahtung und Durchkontakten.

[0041] Fig. 10 zeigt einen schematischen, perspektivischen Aufbau von Innenwandbeschichtungen eines Durchgangsloches für einen Durchkontakt.

[0042] Fig. 11 zeigt schematisch die Stapelung von Halbleiterwafern für gestapelte Halbleiterchips eines elektronischen Bauteils.

[0043] Fig. 1 zeigt eine schematische Draufsicht auf einen Ausschnitt eines Randbereichs 23 eines Halbleiterchips 1 einer ersten Ausführungsform der Erfindung. Der Halbleiterchip kann beispielsweise monokristallines Silicium als Halbleitermaterial aufweisen. In dem Randbereich 23 sind auf der aktiven Oberseite 2 des Halbleiterchips 1 Kontaktflächen 3 in einer Isolierschicht 14 freigehalten. Auf der Isolierschicht 14 führen Leiterbahnen 4 zur Umverdrahtung von den Kontaktflächen 3 zu Durchkontakten 6 auf dem Rand 5 des Halbleiterchips 1. Der Rand 5 des Halbleiterchips 1 entsteht beim Vereinzelnen eines Halbleiterwafers beispielsweise eines Siliciumwafers mittels Sägetechnik. Dazu ist im gezeigten Randbereich 23 eine Sägespurbereich 17 vorgesehen, der von aktiven Bauelementen des Halbleiterchips 1 freigehalten wird. Die Durchkontakte 6 können in den Sägespurbereich 17 eingebracht werden, bevor ein Halbleiterwafer zu Halbleiterchips 1 zerteilt wird. Dabei erstrecken sich die Durchkontakte 6 über die gesamte Dicke des Halbleiterwafers im Sägespurbereich 17. Beim Trennverfahren mittels Sägetechnik werden die Durchkontakte 6 am Rand zu Säulen mit Kreissegmentquerschnitten auseinander gesägt. Über diese am Rand 5 des Halbleiterchips 1 angeordneten kreissegmentförmigen und säulenartigen Durchkontakte können Kontaktflächen 3 unterschiedlicher aufeinandergestapelter Halbleiterchips 1 miteinander über die Umverdrahtungsleitungen 4 verbunden werden.

[0044] Die auf dem Halbleiterwafer hergestellten Durchkontakte 6 weisen eine Innenwandung 11 auf, die zunächst mit einem Haftvermittler zu einer Haftvermittlungsschicht 12 verbunden ist. der Haftvermittler besteht in dieser Ausführungsform aus Titan oder einer Titanlegierung. Auf die Haftvermittlungsschicht 12 wird zur weiteren Herstellung eines Durchkontaktes 6 eine lötfähige Oberflächenbeschichtung 13 aufgebracht, die in dieser Ausführungsform aus Kupfer, Silber, Gold oder deren Legierung besteht, und die nur wenige Nanometer dick ist. Diese lötbare Oberflächenbeschichtung 13 kann dann mit einem Lotmaterial 19 zu einem Durchkontakt 6 aufgefüllt werden.

[0045] Die Isolierschicht 14 auf der aktiven Oberseite 2 des Halbleiterchips 1 sorgt dafür, dass die interne Verdrahtung der aktiven Oberseite 2 des Halbleiterchips 1 von den für die Uv vorgesehenen Leiterbahnen 4 zur Umverdrahtung isoliert bleibt und besteht in dieser Ausführungsform aus einer Polyimidschicht. Diese Polyimidschicht kann mittels Siebdruck unter Aussparung der Kontaktflächen 3 aufge-

bracht werden oder die Polyimid kann geschlossen mittels Schleudern, Aufsprühen oder Tauchen aufgebracht werden. Anschließend werden mittels Photolithographiemaske die Kontaktflächen 3 wieder freigelegt. Die Leiterbahnen 4 zur Umverdrahtung können ebenfalls mittels eines Siebdruckverfahrens aufgebracht sein oder mittels Aufdampftechnik durch eine Maske strukturiert sein.

[0046] Fig. 2 zeigt eine schematische perspektivische Ansicht von mehreren gestapelten Halbleiterchips 1, 1A, 1B und 1C einer zweiten Ausführungsform der Erfindung. Bei dieser Ausführungsform sind an dem gesägten Rand 5 der gestapelten Halbleiterchips 1, 1A, 1B und 1C übereinander ausgerichtete Durchkontaktlöcher 18 vorgesehen, deren Innenwandung 11 mit einer Haftvermittlungsschicht und einer lötbaren Oberflächenbeschichtung beschichtet sein können. Der unterste Halbleiterchip 1C weist anstelle von Durchkontaktlöchern 18 ein Lotdepot 7 auf, das bei Erwärmung mittels Kapillarwirkung in den Durchkontaktlöchern 18 aufsteigt und einen Durchkontakt bildet.

[0047] Der Stapel 21 kann aus nicht gesägten Halbleiterwafern 20, 20A, 20B und 20C bestehen, wobei der unterste Halbleiterwafer 20C an den Stellen der Durchkontaktlöcher 18 Lotdepots 7 aufweist. Noch vor dem Vereinzelnen der aufeinandergestapelten Halbleiterwafer 20, 20A, 20B und 20C kann durch Erwärmen des Stapels 21 auf Löttemperatur das Lotdepot 7 in den Durchkontaktlöchern 18 mit entsprechender lötharer Oberflächenbeschichtung aufgrund von Kapillarwirkung aufsteigen und Durchkontakte durch die drei darüber liegenden Stapel-Halbleiterwafer 20, 20A und 20B bilden. Auf jeder der aktiven Oberseiten 2 der Halbleiterchips 1, 1A, 1B und 1C sind Umverdrahtungsebenen 8, 9, 10 und 24 angeordnet, über welche die Kontaktflächen der einzelnen Halbleiterchips 1, 1A, 1B und 1C mit den Durchkontakten 6 verbunden sind.

[0048] Fig. 3 zeigt eine schematische perspektivische Ansicht von mehreren gestapelten Halbleiterchips 1, 1A, 1B und 1C einer dritten Ausführungsform der Erfindung. Komponenten mit gleicher Funktion wie in den Fig. 1 und 2 werden mit gleichen Bezugszeichen in Fig. 3 gekennzeichnet. Ein Unterschied zwischen der zweiten Ausführungsform der Fig. 2 und der dritten Ausführungsform der Fig. 3 besteht darin, dass in den Randbereichen 5 der Halbleiterchips 1, 1A, 1B und 1C die Durchkontaktlöcher 18 versetzt zueinander angeordnet sind, so dass eine Kodierung der Zuordnungen zwischen unterschiedlichen Kontaktanschlussflächen unterschiedlicher Halbleiterchips möglich ist. Eine derartige Kodierung hilft insbesondere bei gestapelten Speicherbauelementen unterschiedliche Adressierungen zu verwirklichen.

[0049] Fig. 4 zeigt eine schematische Draufsicht auf einen Oberflächenausschnitt eines Halbleiterwafers 20C für unterste Halbleiterchips 1C gestapelter Halbleiterwafer einer vierten Ausführungsform der Erfindung. Bei der vierten Ausführungsform der Erfindung wird davon ausgegangen, dass zunächst unterschiedliche Halbleiterwafer präpariert werden und diese noch vor dem Trennen in einzelne Chips gestapelt mit Zwischenebenen und Durchkontakten versehen miteinander verbunden werden. Komponenten mit gleicher Funktion wie in den vorhergehenden Fig. 1-3 sind mit gleichen Bezugszeichen bezeichnet.

[0050] Der Oberflächenausschnitt dieses Halbleiterwafers 20C zeigt einen Sägespurbereich 17, wobei auf beiden Seiten des Sägespurbereiches Oberflächenausschnitte von Halbleiterchips 1C angeordnet sind. Der Sägespurbereich 17 weist eine größere Breite auf als es die eigentliche Dicke d eines Sägeblattes erfordert. Die Sägeblattspur 22 ist folglich mit ihrer Breite d kleiner als der Durchmesser der Lotdepots 7, die anstelle von stapelbaren Halbleiterwafern mit Durchkontaktlöchern auf dem untersten Halbleiterwafer

20°C angeordnet sind. Ein Lotdepot 7 verfügt über eine ausreichende Menge Lot, um darüberliegende Durchkontaktlöcher mit Lot aufzufüllen. Das Lotdepot ist auf einer Leiterbahn 4 angeordnet, die mit einer Kontaktfläche 3 der aktiven Oberseite 2 eines Halbleiterchips verbunden ist. Erst nach dem Stapeln von Halbleiterwafern bestehend aus einem untersten Halbleiterwafer 20C und darüber stapelbarer Halbleiterwafer 20, 20A und 20B wird beispielsweise dieser Waferstapel in einzelne gestapelte Halbleiterchips aufgetrennt, wobei die Chipränder 5 entstehen.

[0051] An den Chiprändern 5 werden die Umverdrahtungsebenen aus Leiterbahnen 4 und Isolierschicht 14 sichtbar, wobei die Isolierschicht 14 die Leiterbahnen 4 für die Umverdrahtung von den internen Leiterbahnen der aktiven Oberseite 2 des Halbleiterchips isolieren.

[0052] Fig. 5 zeigt eine schematische Draufsicht auf einen Oberflächenausschnitt eines Halbleiterwafers 20 für gestapelte Halbleiterchips 1 der vierten Ausführungsform der Erfindung. Der Halbleiterwafer 20 unterscheidet sich vom untersten Halbleiterwafer 20C dadurch, dass er Durchkontakte 6 aufweist. Die Durchkontaktlöcher für die Durchkontakte 6 erstrecken sich über die gesamte Dicke des Halbleiterwafers 20. Sie sind in dieser Ausführungsform der Erfindung entweder durch Laserverdampfen hergestellt oder durch Ionensputtern bzw. Ionenzerstäuben, oder auch durch reaktives Ionenätzen. Mit diesen Techniken können relativ kleine Durchmesser zwischen 50–100 µm erreicht werden, die ein gleichmäßig geformtes zylindrisches Durchgangsloch erzeugen.

[0053] Auch ein anodisches Ätzen mit einer dünnen Kanüle ist denkbar, bei der innerhalb der Kanüle ein Anodendraht von wenigen Mikrometern Durchmesser für ein Anodenpotential sorgt, während der Halbleiterwafer auf negativem Kathodenpotential liegt. Beim anodischen Ätzen von derartigen Durchkontaktlöchern sind die erreichbaren Durchmesser etwas größer und liegen zwischen 100–250 µm. In der Ausführungsform der Fig. 5 sind die Durchkontaktlöcher bereits zu Durchkontakten bearbeitet, indem zunächst eine Haftvermittlungsschicht 12 beispielsweise aus Titan oder einer Titanlegierung aufgebracht wird und anschließend eine wenige Nanometer dicke lötlbare Oberflächenbeschichtung aus Kupfer, Silber oder Gold aufgebracht wird. Diese dünne lötlbare Oberflächenbeschichtung aus einem Edelmetall kann durch Sputtern, Aufdampfen oder chemische Gasphasenabscheidung sowie physikalische Gasphasenabscheidung erfolgen. Nachdem die Innenwandung der Durchkontaktlöcher derart präpariert ist, kann beispielsweise aus einem darunter liegenden Lotdepot ein geschmolzenes Lot kapillar in dem Durchkontaktloch aufsteigen und dieses zu einem Durchkontakt auffüllen.

[0054] Zur Herstellung der Durchkontaktlöcher steht die volle Breite b der Sägespurbreite zur Verfügung, welche breiter ist als die eigentliche Sägeblattsapurbreite d, so dass der Durchmesser der Durchkontaktlöcher kleiner als b und größer als d ausgeführt wird. Der Sägespurbereich wird auf dem Halbleiterwafer vollständig frei von aktiven oder passiven elektronischen Bauteilen gehalten. Die große Breite b von 70–120 µm für die Sägespurbereiche 17 ist deshalb vorgesehen, um den aktiven Bereich eines Halbleiterchips vor Mikrorissdefekten durch das Sägen zu schützen. Derartige Mikrorissdefekte können lineare oder zweidimensionale Kristalldefekte sein, die sich von der Sägespurbreite aus und damit vom Rand 5 des entstehenden und gesägten Halbleiterchips 1 aus erstrecken.

[0055] Fig. 6 zeigt eine schematische Draufsicht auf einen Halbleiterwafer 20 mit Sägespurbereichen 17. Komponenten mit gleichen Funktionen wie in den vorhergehenden Figuren werden mit gleichen Bezugszeichen gekennzeichnet.

Durch die Anordnung der Halbleiterchips 1 in Zeilen 15 und Spalten 16 ergeben sich rechtwinklig zueinander angeordnete Sägespurbereiche 17, die frei von aktiven und passiven elektronischen Bauelementen gehalten werden. Die Spurbreite liegt zwischen 70–120 µm und reicht deshalb aus, um in diesem Bereich Durchkontakte von 50–100 µm anzuordnen.

[0056] Fig. 7 zeigt eine schematische Draufsicht auf einen Halbleiterchipbereich eines Halbleiterwafers 20 mit umgebenden Sägespurbereichen 17. Komponenten mit gleichen Funktionen wie in den vorhergehenden Figuren werden mit gleichen Bezugszeichen gekennzeichnet. Der in Fig. 7 abgebildete Halbleiterchipbereich hat eine rechteckige aktive Oberseite 2 mit in Reihe angeordneten Kontaktflächen 3, an denen interne Verdrahtungen der aktiven Bauelemente der aktiven Oberseite 2 des Halbleiterchips 1 enden. In dem Zustand des Halbleiterwafers der Fig. 7 sind noch keine Durchkontaktlöcher in den Sägespurbereichen 17 angeordnet. Die Sägespurbreite b der Sägespurbereiche 17 beträgt in dieser Ausführungsform 70–120 µm.

[0057] Fig. 8 zeigt eine schematische Draufsicht auf einen Halbleiterchipbereich eines Halbleiterwafers 20 mit eingebrachten Durchkontaktlöchern 18 im Sägespurbereich 17. Komponenten mit gleichen Funktionen wie in den vorhergehenden Figuren werden mit gleichen Bezugszeichen gekennzeichnet. Der Durchmesser D der Durchkontaktlöcher 18 ist kleiner als der Sägespurbereich 17, jedoch größer als die Sägeblattsapurbreite d und liegt in dieser Ausführungsform der Fig. 8 zwischen 50–70 µm. Die Durchkontaktlöcher 18 können mit einer Haftvermittlungsschicht und einer lötlbaren Oberflächenbeschichtung versehen sein, um einem Lotbad zu ermöglichen, die Durchkontaktlöcher zu Durchkontakten aufzufüllen.

[0058] Vor einem Beschichten der Innenwandungen 11 der Durchkontaktlöcher 18 mit den unterschiedlichen metallischen Beschichtungen wird der Halbleiterwafer 20 und damit auch der Chipbereich beispielsweise durch das Aufbringen einer Isolierschicht 14 geschützt. Die Durchkontaktlöcher 18 selbst können durch Laserverdampfen oder Ionensputtern eingebracht sein. Beim Ionensputtern werden reaktive oder Inertgasionen beschleunigt, so dass sie in senkrechter Richtung auf die Waferoberfläche treffen und die freiliegenden, von der Schutzschicht dicht bedeckten Bereiche der künftigen Durchkontaktöffnungen bombardieren, so dass das Halbleitermaterial in senkrechter Richtung durch den Wafer hindurch zerstäubt wird. Mit dieser Technik lassen sich sehr präzise Durchkontaktlöcher in einem Halbleiterwafer erzeugen.

[0059] Fig. 9 zeigt eine schematische Draufsicht auf einen Halbleiterchipbereich eines Halbleiterwafers 20 mit Kontaktflächen 3, Leiterbahnen 4 und Durchkontakten 6. Komponenten mit gleichen Funktionen wie in den vorhergehenden Figuren werden mit gleichen Bezugszeichen gekennzeichnet. Zusätzlich zu den geöffneten Durchkontaktlöchern für die Durchkontakte 6 werden in Vorbereitung der Umverdrahtung die Kontaktflächen 3 in der Schutzschicht freigelegt und anschließend mit einem selektiven Verfahren die Umverdrahtungsleiterbahnen 4 aufgebracht. Ein derartiges Aufbringen von Leiterbahnen 4 kann beispielsweise im Siebdruck ausgeführt werden, zumal die Dimensionen bereits in Größenordnungen vorliegen, die für den Siebdruck geeignet sind.

[0060] Fig. 10 zeigt einen schematischen perspektivischen Aufbau von Innenwandbeschichtungen 11, 12 und 13 eines Durchkontaktloches 18 für Durchkontakt 6. Komponenten mit gleichen Funktionen wie in den vorhergehenden Figuren werden mit gleichen Bezugszeichen gekennzeichnet. Auf die Innenwand 11 des Durchkontaktloches 18 wird

zunächst eine Haftvermittlungsschicht 12, die in dieser Ausführungsform aus Titan oder einer Titanlegierung besteht, aufgebracht. Die Haftvermittlungsschicht 12 ist in dieser Ausführungsform relativ dick im Vergleich zu den nächstfolgenden Schichten ausgeführt, um Ausdehnungsunterschiede zwischen dem Halbleitermaterial und dem nachfolgenden metallischen Material zu kompensieren. Die Titanschicht ist dabei relativ porös und kann deshalb thermisch bedingte Ausdehnungsspannungen abbauen. Die Titanschicht kann aus der Gasphase physikalisch oder chemisch abgeschieden werden und/oder aufgedampft werden. Ebenso ist eine galvanische Abscheidung der Haftvermittlungsschicht denkbar. Eine wenige Nanometer dicke Beschichtung der Oberfläche zur Verbesserung der Lötbarkeit schließt sich an die Haftvermittlungsschicht an. Diese lötbare Oberflächenbeschichtung 13 kann aus Kupfer, Silber, Gold oder deren Legierungen bestehen. Die zentrale Beschichtung 25 kann auch eine vollständige Auffüllung des Durchkontaktloches durch ein Lot darstellen.

[0061] Fig. 11 zeigt schematisch die Stapelung von Halbleiterwafern 20, 20A und 20B für gestapelte Halbleiterchips eines elektronischen Bauteils. Komponenten mit gleichen Funktionen wie in den vorhergehenden Figuren werden mit gleichen Bezugszeichen gekennzeichnet. In der Ausführungsform nach Fig. 11 sind drei Halbleiterwafer 20, 20A und 20B aufeinander gestapelt. Zwischen den Wafern 20, 20A und 20B befinden sich Umverdrahtungsebenen 9 und 10. Der oberste Halbleiterwafer 20A ist ebenfalls mit einer Umverdrahtungsebene 24 bedeckt. Ein derartiger Stapel 21 von Halbleiterwafern 20, 20A und 20B eignet sich hervorragend zur Herstellung von einer Vielzahl von gestapelten Halbleiterchips. Ein derartiger Stapel wird, nachdem die Halbleiterwafer 20, 20A und 20B aufeinander ausgerichtet wurden, in einen Temperofen auf Löttemperatur aufgeheizt, so dass sich das Lot jedes Durchkontaktes mit den Umverdrahtungsleitungen des darunter oder darüber befindlichen Halbleiterwafers verbindet. Auf diese Weise kann für eine Vielzahl gestapelter Halbleiterchips in einem einzigen Temperoschritt eine kompakte Stapelung und mit entsprechenden elektrischen Verbindungen erreicht werden. Dieses ist insbesondere vorteilhaft für Halbleiterwafer, die Speicherbauteile aufweisen. Durch Dünnen der Halbleiterwafer kann zusätzlich die Packungsdichte weiterhin um mehrere Größenordnungen erhöht werden, so dass eine bisher nicht erreichte Volumenpackungsdichte mit dieser Technologie möglich wird.

Bezugszeichenliste

1, 1A, 1B, 1C Halbleiterchips	50
2 aktive Oberseite	
3 Kontaktfläche	
4 Leiterbahnen zur Umverdrahtung	
5 Rd der Halbleiterchips	
6 Durchkontakte	55
7 Lotdepots	
8, 9, 10 Umverdrahtungsebene	
11 Innenwandung	
12 Haftvermittlungsschicht	
13 lötbare Oberflächenbeschichtung	60
14 Isolierschicht	
15 Zeile	
16 Spalten	
17 Sägespurbereiche	
18 Durchkontaktlöcher	65
19 Lotmaterial	
20, 20A 20B, 20C Halbleiterwafer	
21 Stapel	

- 22 Sägeblattspur
- 23 Randbereich eines Halbleiterchips
- 24 Umverdrahtungsebenen
- 25 zentraler Bereich

Patentansprüche

- Elektronisches Bauteil mit aufeinander gestapelten Halbleiterchips (1), die auf ihrer aktiven Oberseite (2) Kontaktflächen (3) und Leiterbahnen (4) zur Umverdrahtung zu Kontaktflächen (3) darüberliegender (1A) oder darunterliegender (1B) Halbleiterchips aufweisen, wobei die Leiterbahnen (4) zur Umverdrahtung auf der Oberseite (2) des Halbleiterchips (1) angeordnet sind und mit den Kontaktflächen (3) verbunden sind, und wobei sich die Leiterbahnen (4) zur Umverdrahtung zum Rand (5) des Halbleiterchips (1) hin erstrecken und mit darüberliegenden (1A) oder darunterliegenden (1B) Halbleiterchips (1) über Durchkontakte (6) verbunden sind, die auf gesägten Rändern (5) des Halbleiterchips (1) angeordnet sind.
- Elektronisches Bauteil nach Anspruch 1, dadurch gekennzeichnet, dass der unterste Halbleiterchip (1C) anstelle von Durchkontakten Lotdepots (7) aufweist.
- Elektronisches Bauteil nach Anspruch 2, dadurch gekennzeichnet, dass das Lotdepot (7) auf dem untersten Halbleiterchip (1C) ein Siebdruck-Lotdepot aufweist.
- Elektronisches Bauteil nach Anspruch 2 oder Anspruch 3, dadurch gekennzeichnet, dass zwischen den Halbleiterchips (1, 1A, 1B, 1C) jeweils eine Umverdrahtungsebene (8, 9, 10) angeordnet ist.
- Elektronisches Bauteil nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Durchkontakte (6) auf ihrer Innenwandung (11) eine Haftvermittlungsschicht (12) aufweisen.
- Elektronisches Bauteil nach Anspruch 5, dadurch gekennzeichnet, dass die Haftvermittlungsschicht (12) Titan und/oder eine Titanlegierung aufweist.
- Elektronisches Bauteil nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Durchkontakte (6) eine lötbare Oberflächenbeschichtung (13) aufweisen.
- Elektronisches Bauteil nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Durchkontakte (6) eine Oberflächenbeschichtung (13) aus Kupfer, Silber oder Gold oder Legierungen derselben aufweisen.
- Elektronisches Bauteil nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass eine Isolierschicht (14) zwischen aktiver Halbleiteroberseite (2) und den Leiterbahnen (4) zur Umverdrahtung angeordnet ist.
- Elektronisches Bauteil nach Anspruch 9, dadurch gekennzeichnet, dass die Isolierschicht (14) ein Polymer vorzugsweise ein Polyimid aufweist.
- Elektronisches Bauteil nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Durchkontakte (6) im Querschnitt Kreissegmente aufweisen.
- Elektronisches Bauteil nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Halbleiterchips (1) Speicherchips aufweisen.
- Verfahren zur Herstellung eines elektronischen Bauteils, das aufeinander gestapelte Halbleiterchips (1, 1A, 1B, 1C) aufweist, die über Umverdrahtungsebenen (8, 9, 10) und Durchkontakte (6) verbunden sind, welche auf gesägten Rändern (5) des Halbleiterchips (1,

1A, 1B, 1C) angeordnet sind, wobei das Verfahren folgende Verfahrensschritte aufweist:

- Bereitstellen eines Halbleiterwafers mit in Zeilen (15) und Spalten (16) angeordneten Halbleiterchips (1, 1A, 1B, 1C) und dazwischen vorgesehenen Sägespurbereichen (17), 5
 - Aufbringen einer Isolierschicht (14) zum Schutz und zur Isolation der aktiven Oberseite der Halbleiterchips (1, 1A, 1B, 1C),
 - Einbringen von Durchkontaktlöchern (18) in den Sägespurbereichen (17), deren Durchmesser größer ist als die Dicke des Sägeblattes beim Trennen und Vereinzeln des Halbleiterwafers (20), 10
 - Beschichten der Innenwandung (11) der Durchkontaktlöcher (18) mit einem Haftvermittler (12) und/oder einer lötbaren Oberflächenbeschichtung (13), 15
 - Auffüllen der Durchkontaktlöcher (18) mit Lotmaterial (19) zu Durchkontakten (6), 20
 - Strukturieren der Isolierschicht (14) unter Freilegen von Kontaktflächen (3) auf der aktiven Oberseite (2) des Halbleiterchips (1) und Aufbringen von Leiterbahnen (4) zur Umverdrahtung auf der Isolierschicht (14), wobei die Leiterbahnen (4) zur Umverdrahtung einzelne Kontaktflächen (3) mit den Durchkontakten (6) verbinden, 25
 - Vereinzeln des Halbleiterwafers (20) zu Halbleiterchips (1), 30
 - Stapeln von mehreren Halbleiterchips (1, 1A, 1B, 1C) zu einem elektronischen Bauteil.
14. Verfahren nach Anspruch 13, dadurch gekennzeichnet, dass die Durchkontaktlöcher (18) mittels reaktivem Ionenstrahlätzen erzeugt werden.
15. Verfahren nach Anspruch 13, dadurch gekennzeichnet, dass die Durchkontaktlöcher (18) mittels Laserstrahlverdampfen erzeugt werden. 35
16. Verfahren nach einem der Ansprüche 13 bis 15, dadurch gekennzeichnet, dass die Durchkontaktlöcher (18) mittels elektrolytischer Kanülenätzung erzeugt werden. 40
17. Verfahren nach einem der Ansprüche 13 bis 16, dadurch gekennzeichnet, dass die Innenwandungen (11) der Durchkontaktlöcher mit Titan oder mit einer Titanlegierung als Haftvermittler (12) beschichtet werden. 45
18. Verfahren nach einem der Ansprüche 13 bis 16, dadurch gekennzeichnet, dass die Innenwandungen (11) der Durchkontaktlöcher (18) mit Kupfer, Silber, Gold oder Legierungen derselben als lötbare Oberflächenbeschichtung (13) beschichtet werden. 50
19. Verfahren nach einem der Ansprüche 13 bis 16, dadurch gekennzeichnet, dass die Beschichtung der Innenwandungen (11) der Durchkontaktlöcher (18) mittels Aufdampftechnik erfolgt. 55
20. Verfahren nach einem der Ansprüche 13 bis 16, dadurch gekennzeichnet, dass die Beschichtung der Innenwandungen (11) der Durchkontaktlöcher (18) mittels chemischer Gasphasenabscheidung (CVD) erfolgt.
21. Verfahren nach einem der Ansprüche 13 bis 16, dadurch gekennzeichnet, dass die Beschichtung der Innenwandungen (11) der Durchkontaktlöcher (18) mittels physikalischer Gasphasenabscheidung (PVD) erfolgt. 60
22. Verfahren nach einem der Ansprüche 13 bis 16, dadurch gekennzeichnet, dass die Beschichtung der Innenwandungen (11) der Durchkontaktlöcher (18) mittels galvanischer Plattierung erfolgt. 65

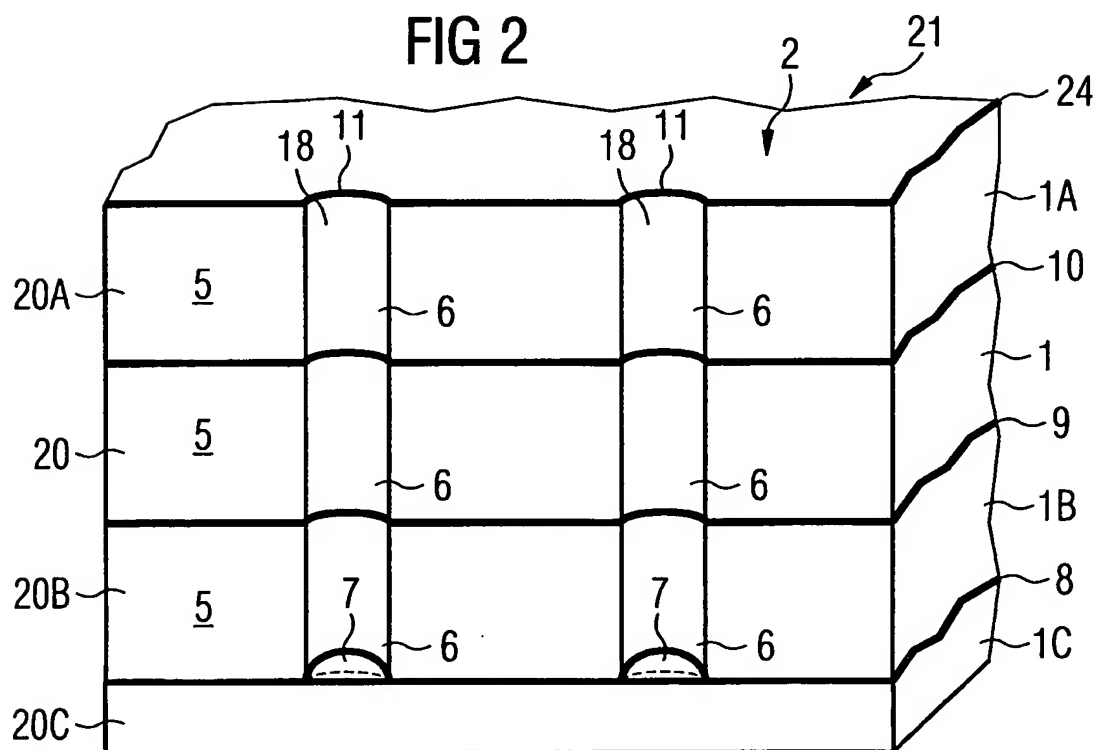
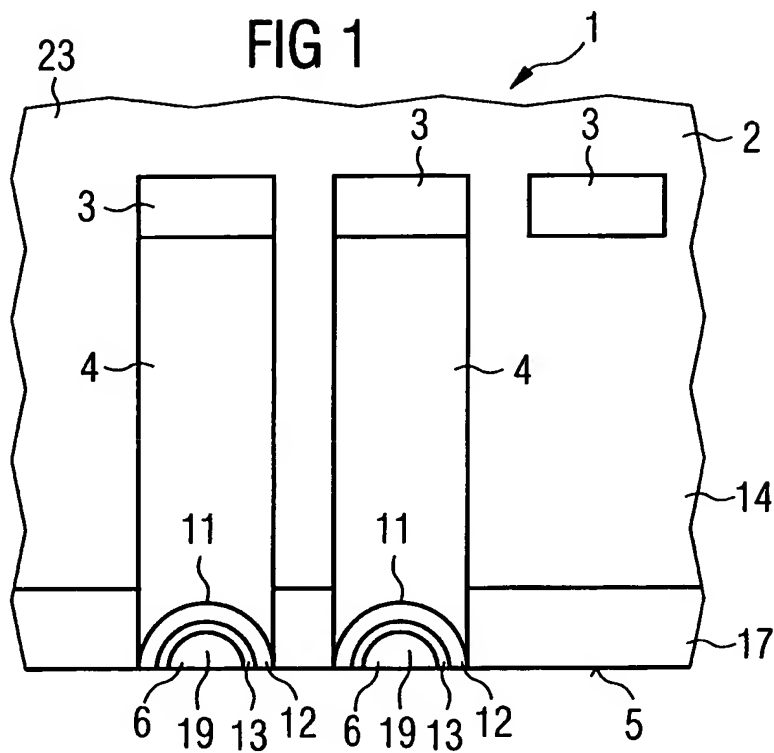
23. Verfahren nach einem der Ansprüche 13 bis 22, dadurch gekennzeichnet, dass die Leiterbahnen (4) zur Umverdrahtung mittels Siebdruck auf die strukturierte Isolierschicht (14) aufgebracht werden.

24. Verfahren nach einem der Ansprüche 13 bis 23, dadurch gekennzeichnet, dass auf einen Halbleiterwafer (20), der unterste Halbleiterchips (1C) eines Stapels aufweist, anstelle von Durchkontakten (6) Lotdepots (7) aufgebracht werden.

25. Verfahren nach einem der Ansprüche 13 bis 24, dadurch gekennzeichnet, dass zunächst mehrere Halbleiterwafer (20, 20A, 20B) aufeinander gestapelt werden und nach einem Verbinden der Durchkontakte (6) mit den Leiterbahnen (4) darüberliegender (20A) oder darunterliegender (20B) Halbleiterwafer die gestapelten Halbleiterwafer (20) zu gestapelten Halbleiterchips vereinzelt werden.

26. Verfahren nach Anspruch 25, dadurch gekennzeichnet, dass zum Verbinden der Durchkontakte (6) mit Leiterbahnen (4) darüberliegender (20A) oder darunterliegender (20B) Halbleiterwafer (20) die aufeinander gestapelten Halbleiterwafer (20, 20A, 20B) auf eine Löttemperatur erwärmt werden.

Hierzu 6 Seite(n) Zeichnungen



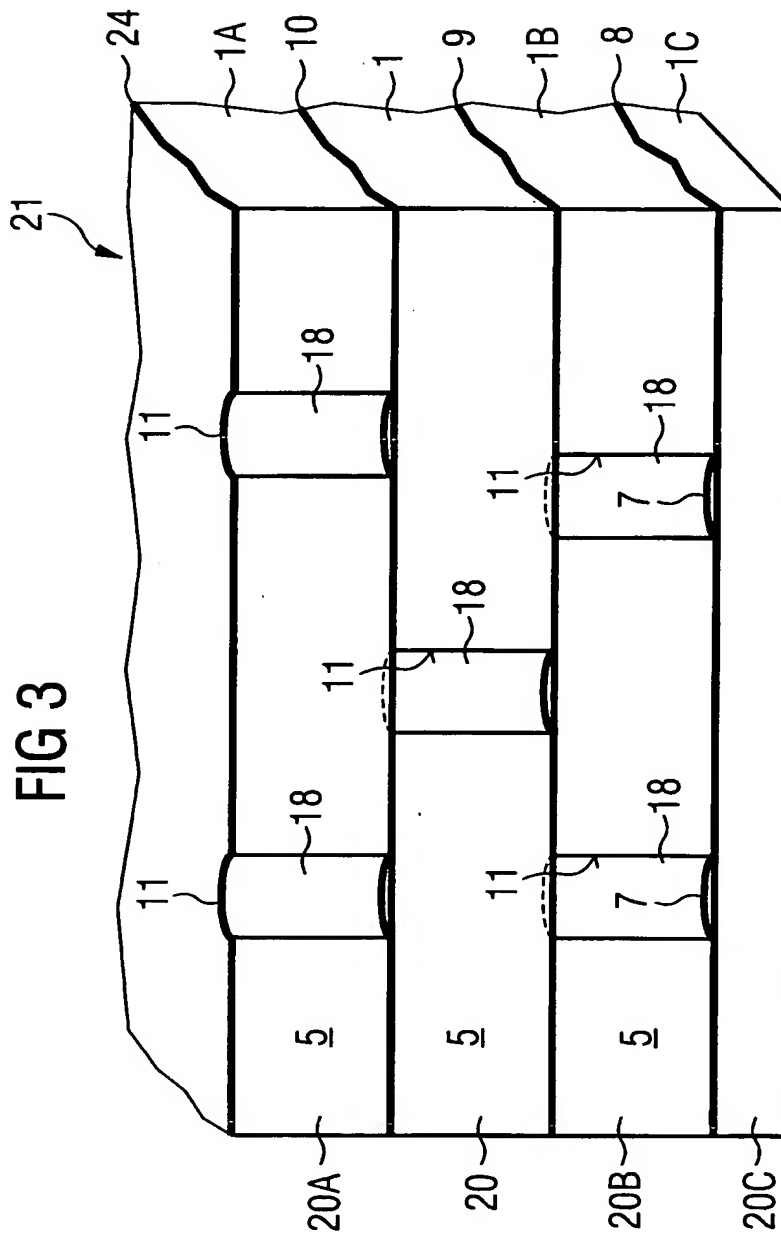


FIG 4

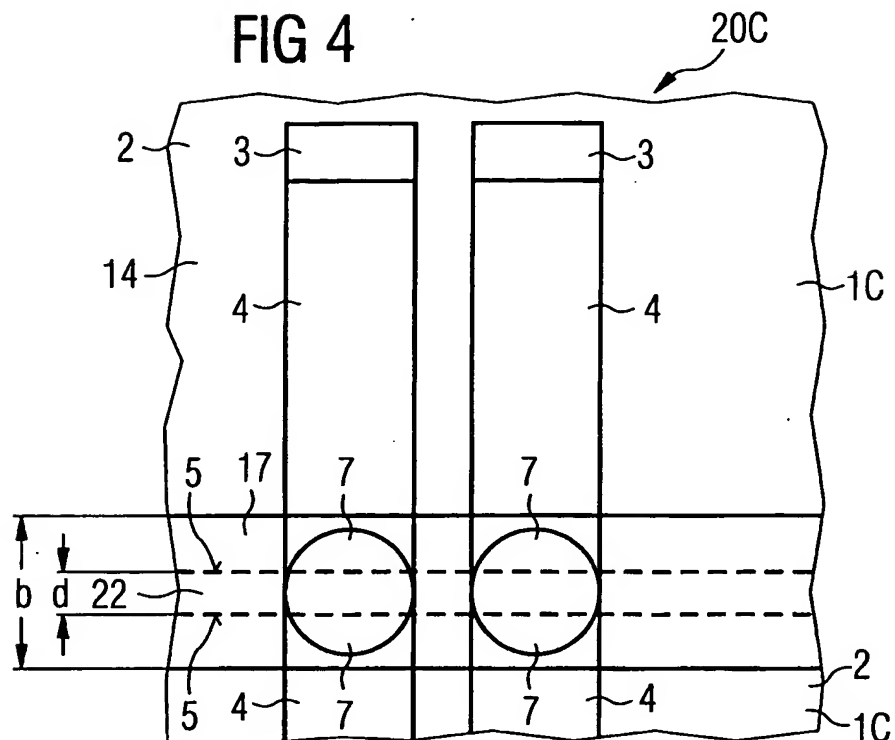


FIG 5

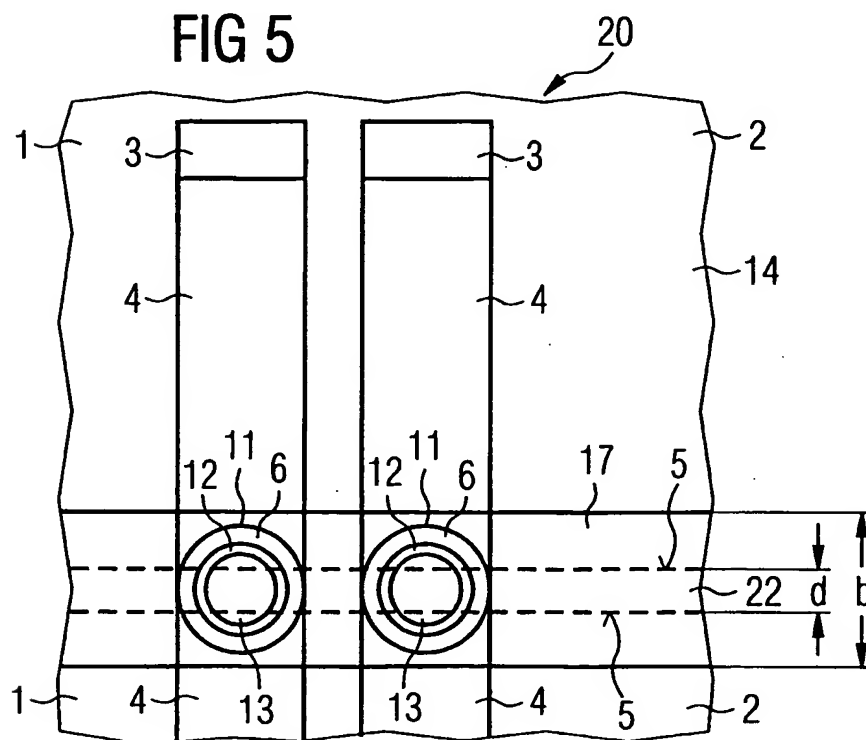


FIG 6

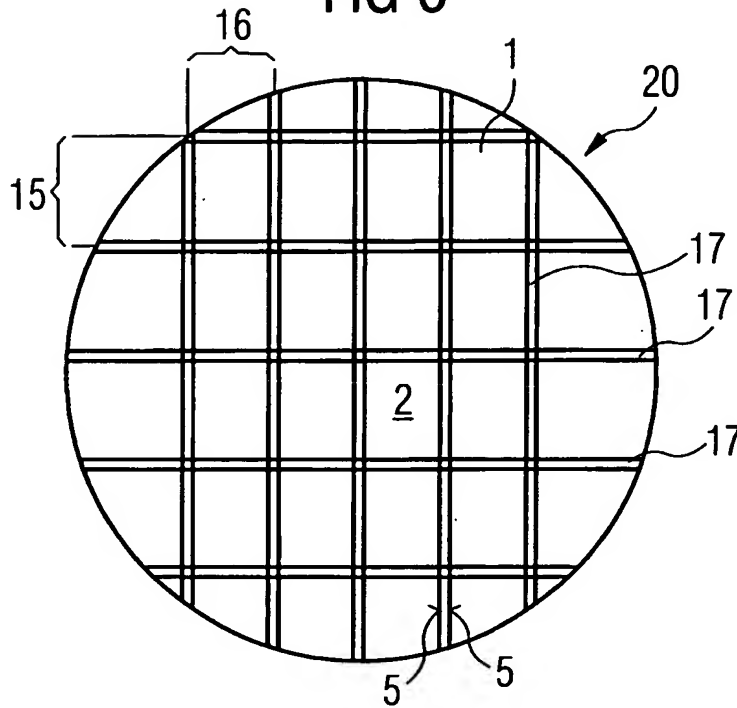


FIG 7

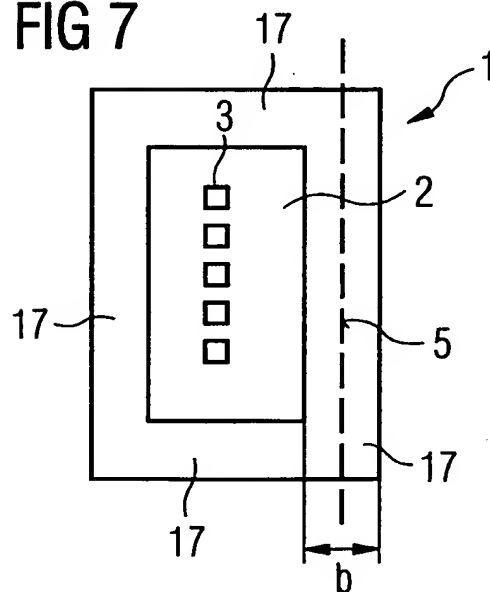


FIG 8

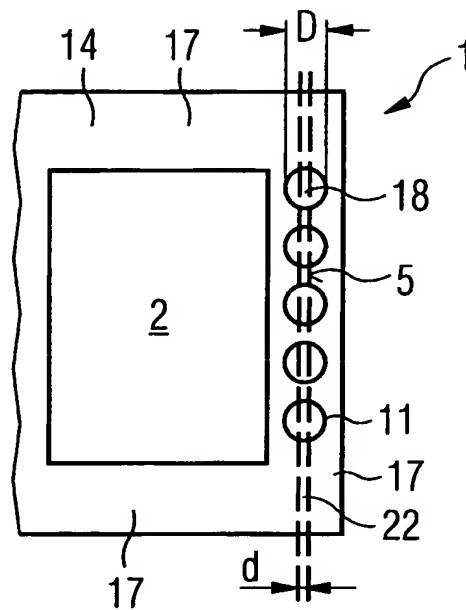


FIG 9

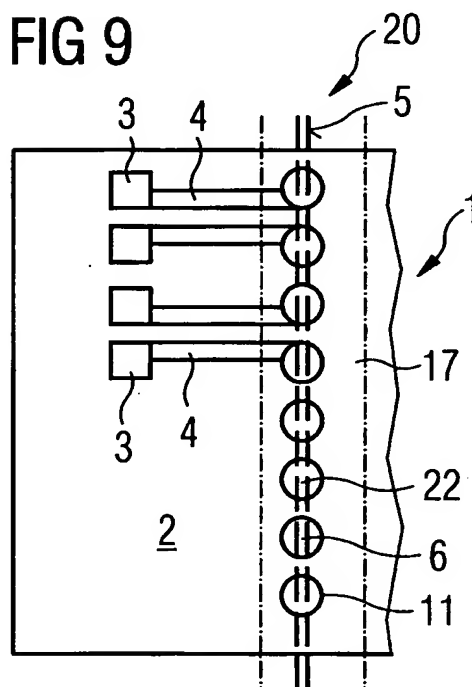


FIG 10

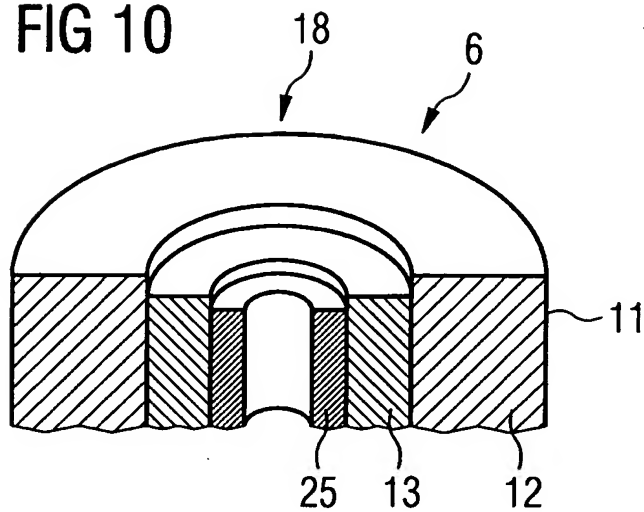


FIG 11

